

## WIRING BOARD

Publication number: JP2002290030

Publication date: 2002-10-04

Inventor: OTA SUMIO; TAMAOKI MITSURU; KIMURA YUKIHIRO

Applicant: NGK SPARK PLUG CO

Classification:

- International: *H05K3/46; H01L21/60; H01L23/498; H01L23/64; H05K1/18; H05K3/46; H01L21/02; H01L23/48; H01L23/58; H05K1/18; (IPC1-7): H05K3/46*

- European: H01L21/60C4; H01L23/498F; H01L23/64C; H05K1/18C6

Application number: JP20010086015 20010323

Priority number(s): JP20010086015 20010323

Also published as:



US7102085 (B2)

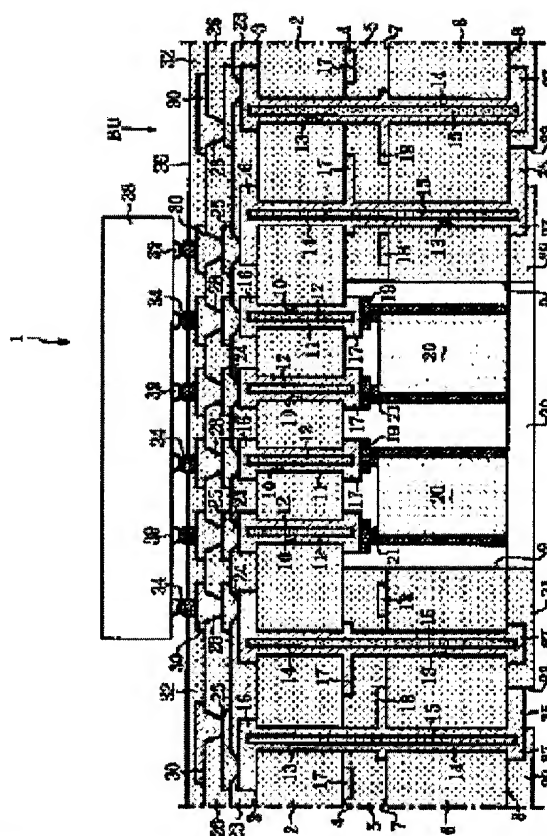
US2002145197 (A1)

Report a data error here

### Abstract of JP2002290030

**PROBLEM TO BE SOLVED:** To provide a wiring board which is equipped with a buildup layer laminated on the surface (one side) of its core board, capable of shortening a distance between a semiconductor element mounted on the front surface and an electronic part mounted on the rear surface or built in the core board, improving a conducting path between the semiconductor element and the electronic part in electrical properties, improved in mechanical strength as a whole, and hardly deflected or warped.

**SOLUTION:** A wiring board 1 comprises a first core board 2 which is comparatively thin-walled and provided with a front surface 3 and a rear surface 4, a second core board 6 which is comparatively thick-walled and provided with through-holes 9 that form recessed parts 9 together with the first core board 2, and a buildup layer BU which is formed above the surface 3 of the first core board 2 comprising wiring layers 16 and 25 and insulating layers 23 and 26.



Data supplied from the **esp@cenet** database - Worldwide

**JP2002290030**

**Title:  
WIRING BOARD**

**Abstract:**

**PROBLEM TO BE SOLVED:** To provide a wiring board which is equipped with a buildup layer laminated on the surface (one side) of its core board, capable of shortening a distance between a semiconductor element mounted on the front surface and an electronic part mounted on the rear surface or built in the core board, improving a conducting path between the semiconductor element and the electronic part in electrical properties, improved in mechanical strength as a whole, and hardly deflected or warped.

**SOLUTION:** A wiring board 1 comprises a first core board 2 which is comparatively thin-walled and provided with a front surface 3 and a rear surface 4, a second core board 6 which is comparatively thick-walled and provided with through-holes 9 that form recessed parts 9 together with the first core board 2, and a buildup layer BU which is formed above the surface 3 of the first core board 2 comprising wiring layers 16 and 25 and insulating layers 23 and 26.

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-290030

(P2002-290030A)

(43) 公開日 平成14年10月4日 (2002. 10. 4)

(51) Int.Cl.<sup>7</sup>

H 0 5 K 3/46

識別記号

F I

H 0 5 K 3/46

ターマコード\* (参考)

B 5 E 3 4 6

C

Q

T

審査請求 未請求 請求項の数 4 O L (全 11 頁)

(21) 出願番号 特願2001-86015(P2001-86015)

(22) 出願日 平成13年3月23日 (2001. 3. 23)

(71) 出願人 000004547

日本特殊陶業株式会社

愛知県名古屋市瑞穂区高辻町14番18号

(72) 発明者 太田 純雄

愛知県名古屋市瑞穂区高辻町14番18号 日

本特殊陶業株式会社内

(72) 発明者 玉置 充

愛知県名古屋市瑞穂区高辻町14番18号 日

本特殊陶業株式会社内

(74) 代理人 100098615

弁理士 鈴木 学

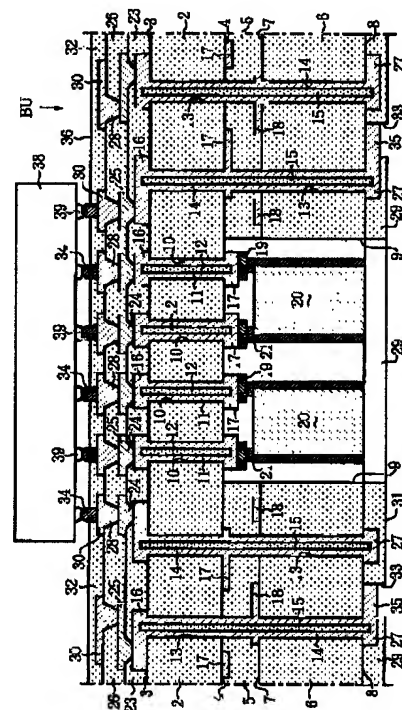
最終頁に続く

## (54) 【発明の名称】 配線基板

## (57) 【要約】

【課題】コア基板の表面(片面)にのみビルドアップ層を積層する配線基板であって、表面側に実装する半導体素子と裏面側に実装または内蔵する電子部品との距離を短くし、両者間の導通経路の電気的特性を高めると共に、全体の強度を高め、たわみや反りが生じにくい配線基板を提供する。

【解決手段】表面3および裏面4を有する比較的肉の第1のコア基板2と、第1のコア基板2の裏面4側に積層され且つ第1のコア基板2と共に凹部9を形成する貫通孔9を有する比較的肉の第2のコア基板6と、第1のコア基板2の表面3上方に形成され且つ配線層16、25および絶縁層23、26を含むビルドアップ層BUと、を含む、配線基板1。



## 【特許請求の範囲】

【請求項1】表面および裏面を有する第1のコア基板と、

上記第1のコア基板の裏面側に積層され且つかかる第1のコア基板と共に凹部を形成する貫通孔を有する第2のコア基板と、

上記第1のコア基板の表面上方に形成され且つ複数の配線層および複数の絶縁層を含むビルドアップ層と、を含む、ことを特徴とする配線基板。

【請求項2】前記貫通孔を有する第2のコア基板は、前記第1のコア基板よりも厚みが厚い、ことを特徴とする請求項1に記載の配線基板。

【請求項3】前記第1のコア基板と前記貫通孔を有する第2のコア基板との間に、接着層および配線層が介在している、

ことを特徴とする請求項1または2に記載の配線基板。

【請求項4】前記第1のコア基板の厚みは100 $\mu$ m以上で且つ400 $\mu$ m以下であり、前記第2のコア基板の厚みは500 $\mu$ m以上で且つ1000 $\mu$ m以下である、ことを特徴とする請求項1乃至3の何れかに記載の配線基板。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、コア基板の片面にビルドアップ層を積層した配線基板に関する。

## 【0002】

【従来の技術】図7は、コア基板41の表・裏面42、43の上/下にビルドアップ層BU1、BU2を積層した配線基板40における主要部の断面を示す。コア基板41は、0.2～0.4mmと薄肉のガラス-エポキシ樹脂からなり、その表面42と裏面43との間を貫通する複数のスルーホール44には、スルーホール導体45および充填樹脂46が個別に形成されている。図7に示すように、コア基板41の表面42には、所定パターンの配線層48が形成され、且つ各スルーホール導体45の上端と個別に接続されている。かかる表面42および配線層48の上には、エポキシ系樹脂の絶縁層50が形成され、且つ配線層48上の所定の位置にフィルドビア導体52が形成されている。

【0003】図7に示すように、絶縁層50の上には、前記と同様な絶縁層56および前記ビア導体52の上端と接続する配線層54が形成されている。かかる配線層54上の所定の位置に、フィルドビア導体58が形成されると共に、絶縁層56の上には、ソルダーレジスト層(絶縁層)60およびビア導体58の上端と接続する配線層62が形成されている。以上の配線層48、54、62および絶縁層50、56、60は、ビルドアップ層BU1を形成する。図7に示すように、配線層62上の所定の位置には、ソルダーレジスト層60の表面である第1主面64よりも高く突出する複数のハンダバンプ66

が個別に形成され、各バンプ66は第1主面64上に実装されるICチップ(半導体素子)68の底面における接続端子70と個別に接続される。

【0004】尚、ICチップ68の周囲には、これを囲むように平面視がほぼ矩形枠形である銅製の補強材(スティフナ)72が、図示しない接着剤により第1主面64上に接着されている。図7に示すように、コア基板41の裏面43の下には、スルーホール導体45の下端と接続する配線層47が形成されている。かかる配線層47の下方には、前記同様の絶縁層49、55、ソルダーレジスト層(絶縁層)63、配線層53、59、およびフィルドビア導体51、57からなるビルドアップ層BU2が形成されている。配線層59の所定の位置には、第2主面65の下方に突出する複数のハンダバンプ67が個別に形成され、各バンプ67は第2主面65の下側に実装するチップコンデンサ(電子部品)69の接続端子71と個別に接続される。

## 【0005】

【発明が解決すべき課題】しかしながら、以上のようなコア基板41の両面にビルドアップ層BU1、BU2を有する配線基板40では、ICチップ68は、配線層62、54、48、スルーホール導体45、および配線層47、53、59などを介して、チップコンデンサ69と導通する。このため、導通経路が長くなり、ループインダクタンスが増えるなど電気的特性が不安定になる、という問題がある。そこで、ICチップ68とチップコンデンサ69との距離を短くすべく、コア基板41を0.4mm以下の薄肉にすると共に、その表面42側にのみビルドアップ層BU1を形成することも可能である。しかし、このようにした場合、配線基板40全体の強度が低下し、たわみや反りが発生する。かかるたわみや反りを防ぐため、第1主面61上に金属製の補強材66を配置することが必要となる。これにより、コスト高を招くまた、という問題もある。

【0006】本発明は、上述した従来の技術の問題点を解決し、コア基板の片面(表面)にのみ複数の配線層および複数の絶縁層を含むビルドアップ層を積層する配線基板であって、配線基板の表面側に実装する半導体素子(ICチップ)と裏面側に実装または内蔵する電子部品(チップコンデンサなど)との距離を短くし、両者間の導通経路の電気的特性を高める、ことを課題とする。更に、配線基板全体の強度を高め、たわみや反りが生じにくい配線基板を提供する、ことも課題とする。

## 【0007】

【課題を解決するための手段】本発明は、上記課題を解決するため、2つのコア基板を併用することに着想して成されたものである。即ち、本発明の配線基板は、表面および裏面を有する第1のコア基板と、この第1のコア基板の裏面側に積層され且つかかる第1のコア基板と共に凹部を形成する貫通孔を有する第2のコア基板と、上

記第1のコア基板の表面上方に形成され且つ複数の配線層および複数の絶縁層を含むビルドアップ層と、を含む、ことを特徴とする。

【0008】これによれば、第1および第2のコア基板を積層して用いることにより、従来のような高価な補強材およびこれを接着する工程が不要となるため、配線基板を安価に製造することが可能となる。また、2つのコア基板により形成される凹部内に電子部品が実装または内蔵可能となるため、かかる電子部品とビルドアップ層の表面に実装されるICチップなどの半導体素子との導通経路を短くし得る。これにより、ループインダクタンスが低減するなど内部の電気的特性を安定させることが可能となる。更に、ICチップと接続するIC接続端子は、第1のコア基板を貫通するスルーホール導体の他、第1および第2のコア基板を貫通するスルーホール導体からの配線経路を活用することも可能となる。

【0009】尚、本明細書において、コア基板とは、絶縁性の板材のみを指称し、その表面および裏面に形成された配線層は含まれない。付言すれば、前記配線基板は、表面および裏面を有する第1のコア基板と、上記第1のコア基板の裏面側に積層され且つかかる第1のコア基板と共に凹部を形成する貫通孔を有する第2のコア基板と、上記第1のコア基板の表面上方に形成された複数の配線層および複数の絶縁層を含むビルドアップ層と、を含むと共に、上記第2のコア基板における第1のコア基板の裏面と反対側の表面(即ち、第2のコア基板の裏面)には、1つの配線層または1つの配線層および絶縁層(ソルダーレジスト層)が形成されている、とすることも可能である。これによる場合、前述した各効果に加え、上記第2のコア基板の裏面側にビルドアップ層を形成しないため、多数のビア導体、配線層、および絶縁層を形成するためのコストを省くことができる。また、上記1つの配線層における配線を接続端子として、当該配線基板を搭載するマザーボードなどとの接続用として活用することができる。

【0010】また、前記貫通孔を有する第2のコア基板は、前記第1のコア基板よりも厚みが厚い、配線基板も本発明(請求項2)に含まれる。これによれば、凹部内に実装または内蔵される電子部品とビルドアップ層の表面に実装される半導体素子との導通経路を確実に短くできる。これにより、ループインダクタンスの低減など内部の電気的特性を一層安定させることができる。しかも、比較的厚みの厚い第2のコア基板が、比較的厚みの薄い第1のコア基板を補強するため、高価な補強材やこれを接着する工程が不要となり、配線基板の安価な製造が一層確実となる。更に、前記第1のコア基板と前記貫通孔を有する第2のコア基板との間に、接着層および配線層が介在している、配線基板も本発明(請求項3)に含まれる。これによれば、第1および第2のコア基板の間にも複数の配線層を形成できるため、内部における配線密度

の向上に容易に対応できると共に、グランド層の形成に伴う電源から電子部品(チップコンデンサなど)への給電ノイズを低減する、即ちインダクタンスを低減することも可能となる。尚、第1・第2のコア基板の間には、接着層のみ介在させても良い。

【0011】更に、前記第1のコア基板の厚みは100 $\mu$ m以上で且つ400 $\mu$ m以下であり、前記第2のコア基板の厚みは500 $\mu$ m以上で且つ1000 $\mu$ m以下である、配線基板も本発明(請求項4)に含まれる。これによれば、第1および第2のコア基板の厚みが適正となるため、補強材が不要で且つ安価に製造可能な配線基板とすることが確実となる。尚、第1のコア基板の厚みが100 $\mu$ m未満ではハンドリング性が低下し損傷し易なり、400 $\mu$ mを越えるとビルドアップ層の表面に実装するICチップなどの半導体素子と裏面側に実装する電子部品との距離が長くなり、電気的特性を安定させることができないため、上記範囲とした。また、第2コア基板の厚みが500 $\mu$ m未満では配線基板全体の強度を高めることに寄与せず、1000 $\mu$ mを越えるとスルーホールの孔明け加工の精度が低下するため、上記範囲とした。

【0012】付言すれば、前記ビルドアップ層の表面に複数のIC接続端子が配置され、且つ前記凹部内に電子部品接続端子が配置されている、配線基板を本発明に含めることも可能である。これによる場合、複数のIC接続端子に接続する半導体素子と電子部品接続端子に接続する電子部品とが、第1のコア基板を介して比較的短い距離で接続されるため、両者間の経路におけるループインダクタンスの低減など電気的特性の向上を図ることが可能となる。尚、前記凹部に前記ビルドアップ層の配線層と導通可能な電子部品接続端子を有する電子部品を更に配置した、配線基板を本発明に含めることも可能である。これによる場合、電子部品を短い導通経路を介して、ビルドアップ層の表面上に実装する半導体素子(ICチップ)と導通することも可能となる。

【0013】尚また、前記凹部に埋込樹脂を介して電子部品が内蔵されている、配線基板を本発明に含めることも可能である。これによる場合、凹部にチップコンデンサなどの電子部品を強固にして内蔵でき且つ配線基板の強度を高められると共に、かかる電子部品を短い導通経路を介して、ビルドアップ層の表面に実装する半導体素子(ICチップ)と導通することも可能となる。尚更に、上記電子部品には、コンデンサ、インダクタ、抵抗、フィルタなどの受動部品や、ローノイズアンプ(LNA)、トランジスタ、半導体素子、FETなどの能動部品、SAWフィルタ、LCフィルタ、アンテナスイッチモジュール、カプラ、ダイプレクサなどや、これらをチップ状にしたものが含まれるがこれらに限らない。また、これらのうちで異種の電子部品同士を同じ凹部内に内蔵しても良い。更に、電子部品には、第2のコア基板における

表面または裏面側の一方にのみ電極を有する形態も含まれる。

#### 【0014】

【発明の実施の形態】以下において本発明の実施に好適な形態を図面と共に説明する。図1は、本発明による1形態の配線基板1における主要部の断面を示す。配線基板1は、図1に示すように、比較的薄肉で厚みが例えば $200\mu\text{m}$ の第1のコア基板2と、比較的厚肉で厚みが例えば $800\mu\text{m}$ の第2のコア基板6と、第1のコア基板2における表面3上方に形成した配線層16、25および絶縁層23、26からなるビルドアップ層BUと、を含む。第1のコア基板2は、表面3および裏面4を有する厚さ $100\mu\text{m}$ 以上で且つ $400\mu\text{m}$ 以下のガラスエポキシ樹脂からなり、その中央部付近には、直径約 $100\mu\text{m}$ の複数のスルーホール10が貫通すると共に、各スルーホール10の内側には、銅製で厚みが約 $25\mu\text{m}$ のスルーホール導体11および充填樹脂12が形成されている。

【0015】図1に示すように、第2のコア基板6は、表面7および裏面8を有する厚さが $600\mu\text{m}$ 以上で且つ $1000\mu\text{m}$ 以下のガラスエポキシ樹脂からなり、その中央付近には、凹部9が形成されている。かかる凹部9は、平面視で縦および横が約 $14\text{mm}$ ずつのほぼ正方形を呈する。第1のコア基板2と第2のコア基板6とは、厚みが約 $60\mu\text{m}$ の接着性を有する絶縁層(ブリアレグ：接着層)5を介して、両者の厚さ方向に積層されている。図1中の左右に示すように、第1・第2のコア基板2、6および絶縁層5には、直径約 $100\mu\text{m}$ の複数のスルーホール13が貫通し、各スルーホール13の内側には、銅製で且つ厚みが約 $25\mu\text{m}$ 長いスルーホール導体14および充填樹脂15が形成されている。

【0016】また、図1に示すように、第1のコア基板2の裏面4には、所定パターンを有し銅製で且つ厚みが約 $15\mu\text{m}$ である銅製の配線層17が形成され、各スルーホール導体11の下端または何れかのスルーホール導体14の中間と接続されている。第2のコア基板6の表面7にも、上記同様の所定パターンおよび厚みを有する銅製の配線層18が形成され、且つ何れかのスルーホール導体14の中間と接続されている。

【0017】更に、図1に示すように、第1のコア基板2の表面3には、所定パターンを有する銅製の配線層16が形成され、スルーホール導体11、14の上端の何れかと接続されている。表面3および配線層16の上には、エポキシ系樹脂の絶縁層23が形成され、且つ配線層16上の所定の位置にフィルドビア導体24が形成されている。上記絶縁層23の上には、絶縁層26およびビア導体24の上端と接続する配線層25が形成され、且つ配線層25上の所定の位置にフィルドビア導体28が形成されている。同様にして、絶縁層26の上にソルダーレジスト層(絶縁層)32およびビア導体28の上端

と接続する配線層30が形成される。以上の配線層16、25、30および絶縁層23、26、32は、ビルドアップ層BUを形成する。尚、絶縁層23の厚みは約 $30\mu\text{m}$ であり、ソルダーレジスト層26の厚みは約 $25\mu\text{m}$ である。

【0018】図1に示すように、配線層30上の所定の位置には、第1主面(表面)36よりも高く突出する複数のハンダバンプ(IC接続端子)34が個別に形成され、かかるバンプ34は、第1主面36上に実装するICチップ(半導体素子)38の底面における複数の接続端子39と個別に接続される。上記バンプ34は、Sn-Ag系、Sn-Ag-Cu系、Sn-Cu系、Pb-Sn系、またはSn-Zn系などの低融点合金(本実施形態はSn-Cu系)からなり、隣接し合うハンダバンプ34、34の軸心間距離(ピッチ)は、約 $150\mu\text{m}$ として配置されている。尚、複数のハンダバンプ28と接続端子34とは、図示しないアンダーフィル材により埋設される。

【0019】また、図1に示すように、第1および第2のコア基板2、6により形成される凹部9内には、複数のチップコンデンサ(電子部品)20がハンダ(Sn-Sb系)19を介して実装される。かかるコンデンサ20は、両側面の上端に突出する電極21を図の前後方向に沿って複数有し、例えばチタン酸バリウムを主成分とする誘電体層と内部電極となるNi層とを交互に積層したセラミックスコンデンサであり、 $3.2\text{mm} \times 1.6\text{mm} \times 0.7\text{mm}$ のサイズを有する。チップコンデンサ20の各電極21は、ハンダ19を介してスルーホール導体11の下端に位置する配線層(電子部品接続端子)17と接続されている。尚、ハンダ19は前記ハンダバンプ28よりも比較的高い融点を有する低融点合金からなる。

【0020】更に、図1に示すように、第2のコア基板6の裏面8と配線層27との下側には、前記同様の厚みを有するソルダーレジスト層(絶縁層)29が形成され、その表面(下面)である第2主面31側に向い開口する開口部33内には、配線層27内の配線35が露出する。かかる配線35の表面には、NiおよびAuメッキ膜が被覆され、当該配線基板1自体を搭載する図示しないマザーボードなどのプリント基板との接続端子として活用される。尚、チップコンデンサ20が実装された凹部9の下側は、第2主面31側に開口しており、配線層27やソルダーレジスト層29は形成されていない。

【0021】以上のような配線基板1によれば、薄肉の第1のコア基板2に絶縁層(接着層)5を介して厚肉の第2のコア基板6を積層し、且つ第1のコア基板2の表面3上にビルドアップ層BUをしているので、従来の高価な金属製の補強材を取り付けることが不要となるため、低コストで製造することが可能となる。また、第1主面36上に実装されるICチップ38の接続端子39と凹



部9に挿入されるチップコンデンサ20の電極21とは、ハンダバンプ34、配線層30、25、16、ビア導体28、24、短いスルーホール導体11、配線層17、およびハンダ19の短い経路により接続される。このため、かかる経路におけるループインダクタンスや抵抗を低減でき、安定した導通を取ることが可能となる。

【0022】更に、第1主面36から突出する複数のハンダバンプ34は、第1のコア基板2を貫通し電子部品20と導通するスルーホール導体11だけでなく、第1および第2のコア基板2、6を貫通するスルーホール導体14を経る配線に対応した位置にも形成することができる。このため、複数のハンダバンプ34を高密度にして配置することができ、多数の接続端子39を有するICチップ38も確実に実装することができる。従って、安価に製作可能で且つ内部の電気的特性が安定していると共に、たわみや反りが生じにくい配線基板1となる。

【0023】図2は、配線基板1の変形形態である配線基板1aの主要部の断面を示す。かかる配線基板1aは、図2に示すように、第1・第2のコア基板2、6や配線層16、25や絶縁層23、26などからなるビルドアップ層BUなどを有する点で、配線基板1と共通の基本的構造を有する。以下に相違点について説明する。図2に示すように、第1・第2のコア基板2、6により形成される凹部9には、複数のチップコンデンサ(電子部品)20aが埋込樹脂9aを介して内蔵されている。チップコンデンサ20aは、前記同様のサイズと構造とを有し、両側面の上・下端に突出する電極21、22を図2の前後方向に沿って複数有する。

【0024】コンデンサ20aの上端の電極21は、前記同様にハンダ19を介して配線層17と接続されるが、下端の電極22は、第2のコア基板6の裏面8および埋込樹脂9a下に形成され且つ所定パターンを有する銅製の配線層27と接続される。また、埋込樹脂9aの下側は、ソルダーレジスト層29により覆われている。以上のような配線基板1aは、前述した配線基板1の利点に加え、チップコンデンサ20aを強固にして凹部9に内蔵することができる。

【0025】前記配線基板1、1aの主要な製造工程を、図3乃至図5により説明する。図3(A)は、表・裏面3、4に厚みが約18 $\mu$ mの銅箔3a、4aを貼り付けた厚みが約400 $\mu$ mの第1のコア基板2を示す。図3(A)に示すように、コア基板2の表面3側における中央部の位置にCO<sub>2</sub>などのレーザーを照射する。その結果、図3(B)に示すように、コア基板2の表・裏面3、4間を貫通し且つ内径が約100 $\mu$ mのスルーホール10が複数形成される。尚、レーザーに替え、細径のドリルを用いてスルーホール10を穿孔しても良い。次に、複数のスルーホール10を有する第1のコア基板2の全面に対し、無電解銅メッキおよび電解銅メッキを施す。尚、各スルーホール10の内壁には、予めPdを含むメ

ッキ触媒を塗布しておく。また、上記スルーホール10の穿孔と銅メッキは、複数のコア基板2(製品単位)を含むパネルの状態で行っても良い。

【0026】その結果、図3(C)に示すように、各スルーホール10の内壁に沿って厚みが約25 $\mu$ mのスルーホール導体11が形成される。各スルーホール導体11の内側には、シリカフィラなどの無機フィラ入りのエポキシ系樹脂からなる充填樹脂12が充填される。尚、かかる充填樹脂12に替え、多量の金属粉末を含む導電性樹脂、または金属粉末を含む非導電性樹脂を用いても良い。次いで、表・裏面3、4の銅箔(上記銅メッキ層を含む)3a、4aの上に、公知のフォトリソグラフィ技術により、所定のパターンを有する図示しないエッチングレジストを形成した後、かかるエッチングレジストのパターン間から露出する銅箔3a、4aをエッチング(公知のサブトラクティブ法)する。その結果、図3(D)の上方に示すように、第1のコア基板2の表・裏面3、4に上記パターンに倣った配線層16、17が形成される。

【0027】また、図3(D)の下方に示すように、厚みが約800 $\mu$ mの第2のコア基板6を別途用意する。かかるコア基板6の表・裏面7、8には、上記と同様の方法により所定パターンの配線層18、27が予め形成されていると共に、その中央部にはパンチングなどにより、平面視がほぼ正方形の貫通孔9が穿孔されている。図3(D)に示すように、第1のコア基板2の裏面4と第2のコア基板6の表面7で且つ貫通孔9を除いた位置との間に、接着性を有する樹脂(プリプレグ)からなる絶縁層(接着層)5を配置した状態で、第1および第2のコア基板2、6を、図3(D)中に示す矢印の方向に沿って加熱しつつ圧着する。尚、プリプレグ5の他に、フィルム状の接着層を使用しても良い。

【0028】その結果、図4(A)に示すように、第1および第2のコア基板2、6は、絶縁層5を介して積層されると共に、前記貫通孔9は第2のコア基板6の裏面8側に開口する凹部9となる。かかる状態で、凹部9の上方を除いた図4(A)で左右の所定の位置に、前記同様のレーザーの照射またはドリルによる穿孔を行う。その結果、図4(B)に示すように、左右の各所定の位置に、絶縁層5を含み且つ第1・第2のコア基板2、6の表・裏面3、8間を貫通する長いスルーホール13が個別に穿孔される。かかるスルーホール13は、その中間で絶縁層5の両側に位置する配線層17、18を貫通している。

【0029】次に、各スルーホール13の内壁に、前記同様のメッキ触媒を塗布した後、無電解銅メッキおよび電解銅メッキを施す。その結果、図4(C)に示すように、各スルーホール13の内壁に沿ったスルーホール導体14が形成される。尚、凹部9内にメッキ液が侵入しないように、その開口部を図示しないテープで塞ぐか、

あるいは、樹脂を予め充填しておき、上記メッキ後に取り除くようにする。次いで、図4(C)に示すように、各スルーホール導体14の内側に前記同様の充填樹脂15を個別に充填した後、それらの上下端を蓋メッキする。尚、凹部9の上方における各スルーホール導体11の上下端も同様に蓋メッキしておく。

【0030】図5(A)に示すように、上記第1および第2のコア基板2, 6を180度回転して上下逆にした状態とし、上向きに開口した凹部9にチップコンデンサ20かチップコンデンサ20aの何れかを図示しないチップマウントにより挿入する。この際、予め凹部9内の底面に位置する配線層(電子部品接続端子)17の上にハンダ19を形成しておき、このハンダ19を介してチップコンデンサ20, 20aの電極21と配線層17とを個別に接続する。ここまでの工程で、配線基板1の製造工程は一旦終了し、これ以降は、配線基板1aの製造工程について続けて説明する。図5(B)に示すように、凹部9内に溶けた埋込樹脂9aを注入した後、脱泡処理および約100℃に加熱して約60分保持する硬化処理を施す。次に、埋込樹脂9aの盛り上がった裏面9bを、例えばバフ研磨などにより平坦に整面する。

【0031】その結果、図5(C)に示すように、各チップコンデンサ20の電極22が露出する平坦な表面9cが形成される。電極22の上にも配線層27が形成される。これ以降または前記図5(A)の状態にて、前記ビルドアップ層BUを形成する配線層25, 30および絶縁層23, 26, 32、ビア導体24, 28などを、公知のビルドアップ工程(セミアディティブ法、フルアディティブ法、サブトラクティブ法、フィルム状樹脂材料のラミネートによる絶縁層の形成、フォトリソグラフィ技術など)により形成する。これにより、前記図1または図2に示した配線基板1, 1aを得ることができる。

【0032】図6は、配線基板1, 1aの応用形態の配線基板1bにおける主要部の断面を示す。尚、以下において前記形態と同じ部分や要素には共通する符号を用いる。配線基板1bも、図6に示すように、比較的薄肉の第1のコア基板2と、比較的厚肉の第2のコア基板6と、第1のコア基板2の表面3上に形成された配線層16, 25および絶縁層23, 26などを含むビルドアップ層BUと、を含む。第1のコア基板2は、表面3および裏面4を有し前記同様の厚みのガラスエポキシ樹脂からなり、その中央付近には、複数のスルーホール10が貫通すると共に、各スルーホール10の内側には、銅製のスルーホール導体11および充填樹脂12が形成されている。

【0033】図6に示すように、第2のコア基板6は、表面7および裏面8を有し全体の厚みが約800 $\mu$ mのガラスエポキシ樹脂からなり、その中央付近には、凹部9が形成されている。第1および第2のコア基板2, 6には、複数のスルーホール13が貫通し、各スルーホ

ール13の内側には、長いスルーホール導体14および充填樹脂15が形成されている。第2のコア基板6は、図6に示すように、厚みが約400 $\mu$ mずつの部分基板6a, 6bを張り合わせたもので、両部分基板6a, 6bの間には、予め部分基板6aの裏面側に形成した配線層6cが位置し、かかる配線層6cは、表・裏面7, 8を貫通する何れかのスルーホール導体14の中間と接続されている。尚、部分基板6a, 6bを接着性の樹脂からなる絶縁層(プリプレグ: 接着層)5を介して張り合わせるにより、第2のコア基板6としても良い。また、凹部9は、部分基板6a, 6bを張り合わせて得られた第2のコア基板6に対し、ドリルなどにより貫通孔9として形成しても良い。

【0034】図6に示すように、第1のコア基板2と第2のコア基板6とは、前記同様の絶縁層(プリプレグ)5を介して厚さ方向に積層されている。また、第1のコア基板2の裏面4と第2のコア基板6の表面7には、前記同様の配線層17, 18が形成され、各スルーホール導体11の下端またはスルーホール導体14の中間と接続されている。更に、図6に示すように、第1のコア基板2の表面3上には、前記同様の配線層16が形成され、スルーホール導体11, 14の上端と接続されている。表面3および配線層16の上には、前記同様にして絶縁層23, 26、フィルドビア導体24, 28、ソルダーレジスト層(絶縁層)32、および配線層25, 30が形成されている。配線層16, 25, 30および絶縁層23, 26, 32は、ビルドアップ層BUを形成する。

【0035】図6に示すように、配線層30上で且つ第1主面36よりも高く突出する複数のハンダバンプ(IC接続端子)34は、実装されるICチップ(半導体素子)38の底面における複数の接続端子39と個別に接続される。隣接し合うハンダバンプ34, 34の軸心間距離(ピッチ)は、約150 $\mu$ mして配置されている。また、図6に示すように、第1および第2のコア基板2, 6にて形成される凹部9には、前記同様の複数のチップコンデンサ(電子部品)20aが埋込樹脂9aを介して内蔵される。各コンデンサ20の上端の電極21は、ハンダ19を介してスルーホール導体11の下端の配線層(電子部品接続端子)17と接続され、下端の電極22は、第2のコア基板6の裏面8に形成され且つ所定パターンを有する銅製の配線層27と接続される。尚、凹部9内に前記チップコンデンサ20を挿入し、上端の電極21をハンダ19を介して配線層17と接続すると共に、埋込樹脂9aを用いることなく実装しても良い。

【0036】更に、図6に示すように、第2のコア基板6の裏面8と配線層27との下側には、前記同様のソルダーレジスト(絶縁層)29が形成され、その表面(下面)である第2主面31側に開口する開口部33内には、配線層27内の配線35が露出する。配線35は、表面にNiおよびAuメッキ膜が被覆され、当該配線基板1a



自体を搭載する図示しないマザーボードなどとの接続端子として活用される。以上の配線基板1bによれば、第1および第2のコア基板2, 6(6a, 6b)を積層しているので、補強材を取り付けることが不要となり、低コストで製作することが可能となる。また、第1主面30上に実装されるICチップ32の接続端子34と凹部9に内蔵されるチップコンデンサ20a, 20の電極21とは、前記形態と同様に短い経路により接続される。このため、かかる経路におけるループインダクタンスや抵抗を小さくでき、安定した導通を取ることができる。

【0037】更に、第1主面36のハンダバンプ34は、第1のコア基板2を貫通して電子部品20と導通するスルーホール導体11だけでなく、第1および第2のコア基板2, 6(6a, 6b)を貫通するスルーホール導体14を経る配線経路に対応した位置にも形成できる。このため、複数のハンダバンプ34を高密度にして配置することが可能となり、多数の接続端子39を有するICチップ38も確実に実装可能となる。しかも、第1および第2のコア基板2, 6(6a, 6b)内には、配線層17, 18, 6cを内設しており、これらスルーホール導体14を介して外部の配線層16やICチップ32に導通できるため、ビア導体を介するビルドアップ工程によることなく、安価に多層構造の配線を得ることができる。

【0038】本発明は、以上において説明した各形態に限定されるものではない。前記コア基板2, 6の材質は、前記ガラス-エポキシ樹脂系の複合材料の他、ビスマレイミド・トリアジン(BT)樹脂、エポキシ樹脂、同様の耐熱性、機械強度、可撓性、加工容易性などを有するガラス織布や、ガラス織布などのガラス繊維とエポキシ樹脂、ポリイミド樹脂、またはBT樹脂などの樹脂との複合材料であるガラス繊維-樹脂系の複合材料を用いても良い。あるいは、ポリイミド繊維などの有機繊維と樹脂との複合材料や、連続気孔を有するPTFEなど3次元網目構造のフッ素系樹脂にエポキシ樹脂などの樹脂を含浸させた樹脂-樹脂系の複合材料などを用いることも可能である。

【0039】また、前記凹部9内に実装または内蔵する電子部品は、1つのみでも良い。逆に、多数の配線基板1, 1a, 1bを含む多数個取りの基板(パネル)内における製品単位1個内に、複数の凹部9を形成しても良い。更に、複数のチップ状電子部品を互いの側面間で予め接着したユニットとし、これを前記凹部9内に挿入し内蔵することもできる。また、チップ状電子部品には、前記チップコンデンサ20, 20aなどの他、チップ状のインダクタ、抵抗、フィルタなどの受動部品や、トランジスタ、半導体素子、FET、ローノイズアンプ(LNA)などの能動部品も含まれると共に、互いに異種の電子部品同士を、配線基板1, 1a, 1bの同じ凹部9内に併せて内蔵することも可能である。

【0040】更に、前記配線層16, 25、スルーホール導体11などの材質は、前記Cuの他、Ag、Ni、Ni-Auなどにしても良く、あるいは、これら金属のメッキ層を用いず、導電性樹脂を塗布する方法により形成しても良い。また、前記絶縁層23, 26などの材質は、前記エポキシ樹脂を主成分とするもののほか、同様の耐熱性、パターン成形性などを有するポリイミド樹脂、BT樹脂、PPE樹脂、あるいは、連続気孔を有するPTFEなど3次元網目構造のフッ素系樹脂にエポキシ樹脂などの樹脂を含浸させた樹脂-樹脂系の複合材料などを用いることもできる。尚、絶縁層の形成には、絶縁性の樹脂フィルムを熱圧着する方法のほか、液状の樹脂をロールコートにより塗布する方法を用いることもできる。尚また、コア基板や絶縁層に混入するガラス布またはガラスフィラの組成は、Eガラス、Dガラス、Qガラス、Sガラスの何れか、またはこれらのうちの2種類以上を併用したものとしても良い。また、絶縁層に形成するビア導体は、前記フィルドビア導体24を同軸状に積み重ねたスタックドビアに限らず、内部が完全に導体で埋まらないコンフォーマルビア導体や、複数の絶縁層に涉って挿通されるベリッドビア導体としても良い。更に、各ビア導体の軸心をずらしつつ積み重ねるスタaggerドの形態でも良いし、途中で平面方向に延びる配線層が介在する形態としても良い。

#### 【0041】

【発明の効果】以上において説明した本発明の配線基板によれば、第1および第2のコア基板を積層して用いるため、従来の補強材が不要となるため、安価に製作することが可能となる。また、2つのコア基板により形成される凹部に電子部品が内蔵可能となるため、電子部品とビルドアップ層の表面に実装されるICチップなどの半導体素子との導通経路を短くできるので、内部の電気的特性を安定させることが可能となる。また、請求項3の配線基板によれば、第1および第2のコア基板の間にも、複数の配線層を形成するため、内部の配線密度の向上に容易に対応可能となる。

#### 【図面の簡単な説明】

【図1】本発明における1形態の配線基板の主要部を示す断面図。

【図2】図1の配線基板の変形形態である配線基板の主要部を示す断面図。

【図3】(A)~(D)は図1, 2の配線基板を得るための主な製造工程を示す概略図。

【図4】(A)~(C)は図3(D)に続く主な製造工程を示す概略図。

【図5】(A)~(C)は図4(C)に続く主な製造工程を示す概略図。

【図6】異なる形態の配線基板における主要部を示す断面図。

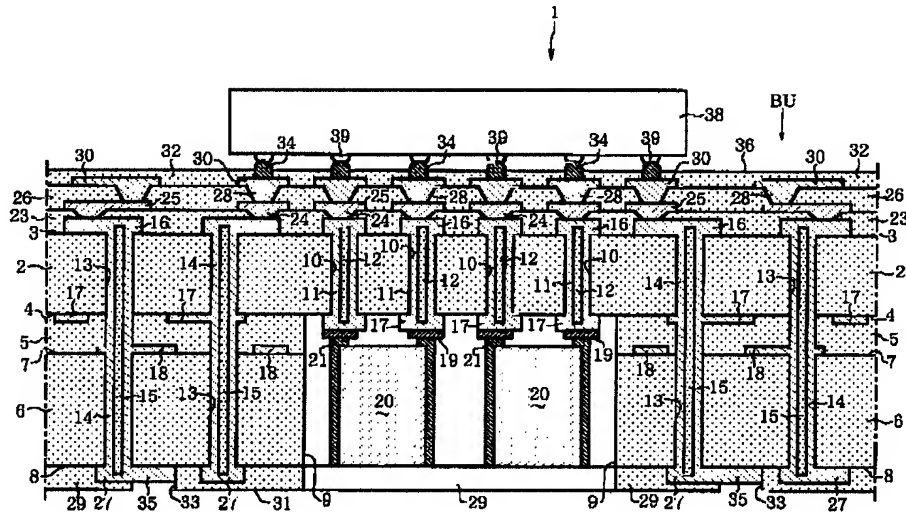
【図7】従来の配線基板の主要部を示す断面図。

【符号の説明】

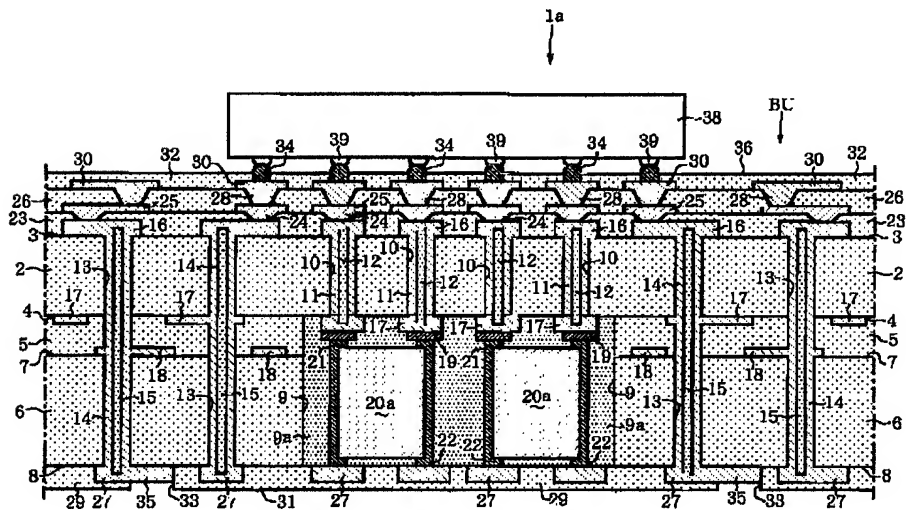
1, 1a, 1b.....配線基板  
2.....第1のコア基板  
3.....表面  
4.....裏面  
5.....絶縁層(接着層)

6.....第2のコア基板  
9.....凹部/貫通孔  
16, 25, 30...配線層  
23, 26, 32...絶縁層  
BU.....ビルドアップ層

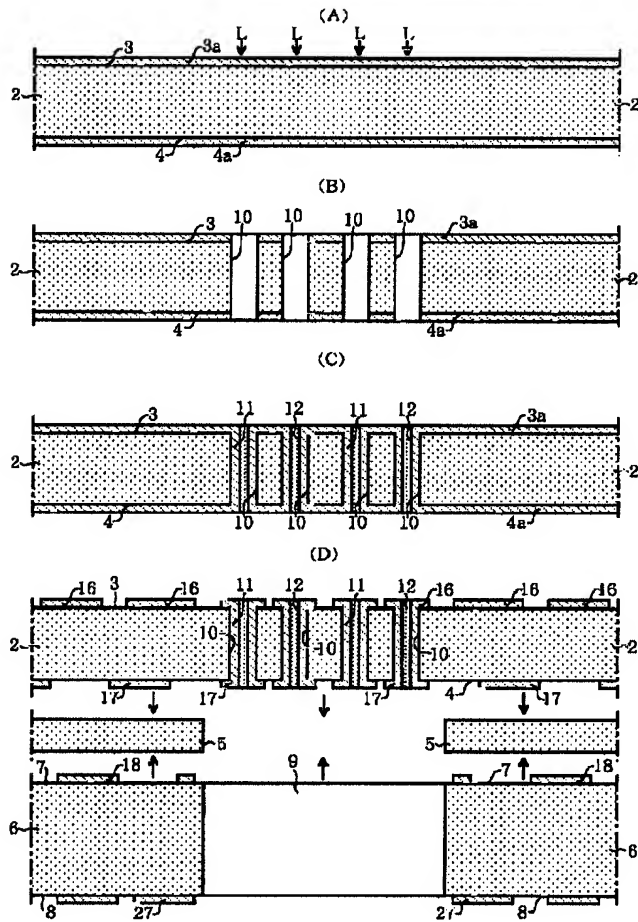
【図1】



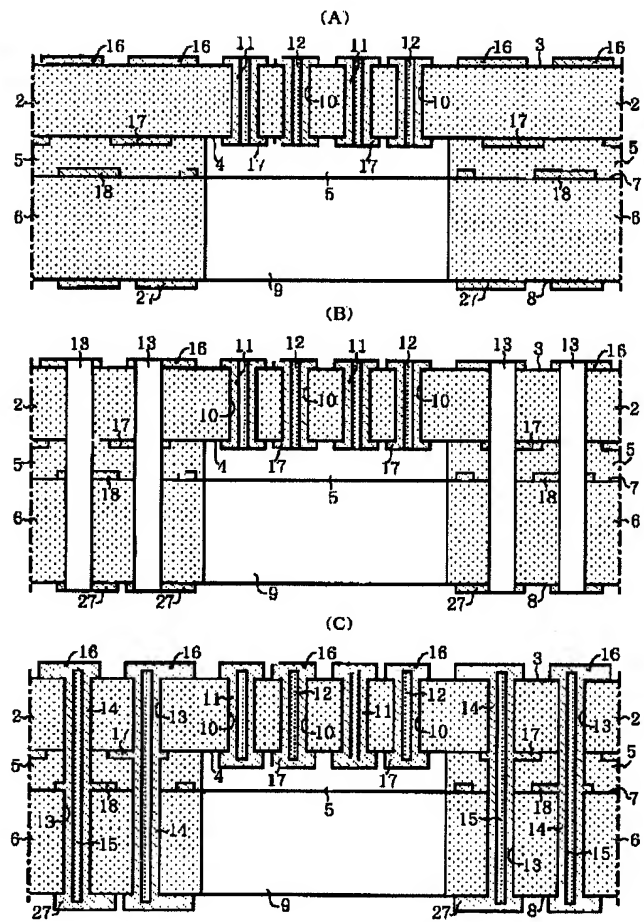
【図2】



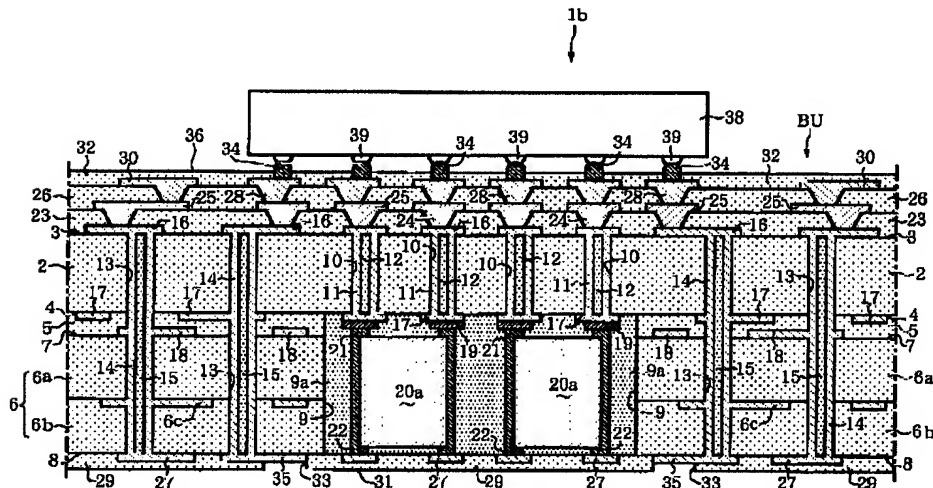
【図3】



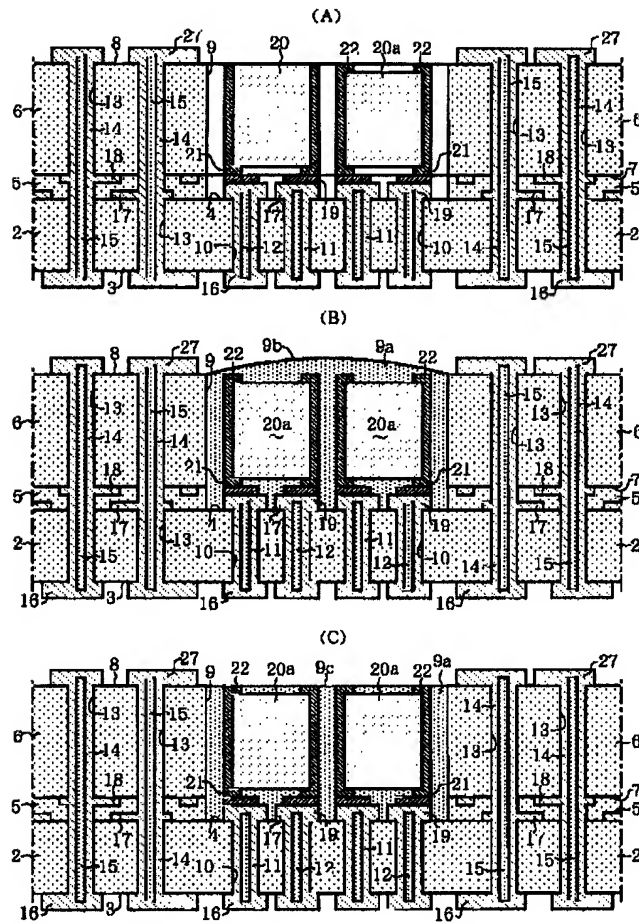
【図4】



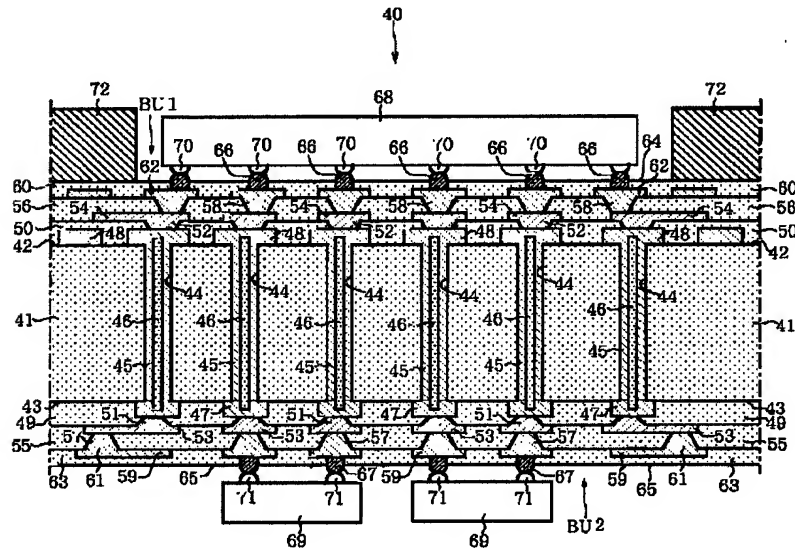
【図6】



【図5】



【図7】



フロントページの続き

(72)発明者 木村 幸広  
愛知県名古屋市瑞穂区高辻町14番18号 日  
本特殊陶業株式会社内

Fターム(参考) 5E346 AA06 AA12 AA15 AA22 AA43  
AA60 BB01 BB16 CC08 CC09  
CC31 CC40 DD02 DD31 EE02  
EE06 EE12 EE31 FF04 FF45  
GG15 GG17 GG28 HH02 HH11